

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Youhei NAGAHAMA et al.**

Serial Number: **Not Yet Assigned**

Filed: **February 20, 2004**

**Customer No.: 38834**

For: **METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE USING A RIGID SUBSTRATE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

February 20, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


**Japanese Appln. No. 2003-338147, filed on September 29, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Scott M. Daniels  
Reg. No. 32,562

Atty. Docket No.: 042120  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SMD/ll

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: September 29, 2003

Application Number: No. 2003-338147  
[ST.10/C]: [JP 2003-338147]

Applicant(s): FUJITSU LIMITED

December 22, 2003

Commissioner,  
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3106406

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月29日  
Date of Application:

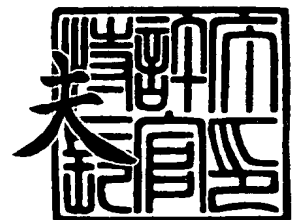
出願番号 特願2003-338147  
Application Number:  
[ST. 10/C]: [JP 2003-338147]

出願人 富士通株式会社  
Applicant(s):

2003年12月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3106406

【書類名】 特許願  
【整理番号】 0340806  
【提出日】 平成15年 9月29日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 21/56  
H01L 21/301

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 永浜 洋平

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 若生 克則

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 浅野 祐一

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 高橋 正則

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 小嶋 春夫

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 藤本 雅通

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 大坪 宏

【発明者】  
【住所又は居所】 宮城県柴田郡村田町大字村田字西ケ丘 1 番地の 1 株式会社富士  
通宮城エレクトロニクス内  
【氏名】 安田 祐樹

【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイス  
タワー 3 2 階  
【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511

## 【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

**【書類名】 特許請求の範囲****【請求項 1】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分の基板端部の板厚を他の部分の板厚より薄くする工程と、

前記リジット基板を金型に配置する工程と、

前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程と

を含むことを特徴とする半導体装置の製造方法。

**【請求項 2】**

前記板厚を薄くする部分は端部の一部分のみとすることを特徴とする請求項 1 記載の半導体装置の製造方法。

**【請求項 3】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分の基板端部に対向する下金型に切欠き部を設ける工程と、

前記リジット基板を金型に配置する工程と、

前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程と

を含むことを特徴とする半導体装置の製造方法。

**【請求項 4】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分の基板裏面にカバーフィルムを貼る工程と、

前記リジット基板を金型に配置する工程と、

前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程と

を有することを特徴とする半導体装置の製造方法。

**【請求項 5】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分に対向する下金型にリリースフィルムを貼る工程と、

前記リジット基板を金型に配置する工程と、

前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程と

を含むことを特徴とする半導体装置の製造方法。

**【請求項 6】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分に対向する下金型にリリースフィルムを貼る工程と、

前記リジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分近傍の基板表面にスリットを設ける工程と、

前記リジット基板を金型に配置する工程と、

前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程と

を含むことを特徴とする半導体装置の製造方法。

**【請求項 7】**

表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止用金型内に配置する工程と、

前記樹脂封止用金型の上金型と前記リジット基板のベント側との間に隙間ができるよう

に第1のクランプ圧を設定することにより前記樹脂封止用金型で前記リジット基板をクランプする工程と、

前記樹脂封止用金型のキャビティに樹脂を注入する工程と、

樹脂注入後に、前記第1のクランプ圧より大きな第2のクランプ圧を設定して前記上金型で前記リジット基板を押圧する工程と、

前記注入した樹脂により、前記リジット基板の前記表面に支持された前記半導体素子を樹脂封止する工程と

を含むことを特徴とする半導体装置の製造方法。

**【書類名】 明細書****【発明の名称】** リジット基板を用いた半導体装置の製造方法**【技術分野】****【0001】**

本発明は、リジット基板を用いた樹脂封止型の半導体装置の製造方法に関する。

**【背景技術】****【0002】**

半導体集積回路が形成された半導体素子（チップ）を表面に実装した表面実装タイプの半導体装置（半導体パッケージ）において、外部端子として bumps 電極が設けられ、かつ半導体素子を支持するチップ支持基板を備えたものの一例として、CSP（chip scale package）やBGA（ball grid array）などが知られている。

**【0003】**

最近の電子機器の小型、薄型、軽量化の要求から、このような表面実装タイプの半導体パッケージが盛んに採用されるようになった。この種の半導体装置の中、CSPは、半導体チップと同等のサイズ、又は半導体チップよりわずかに大きいサイズを有する、小型かつ薄型の半導体パッケージの総称である。例えば、チップ支持基板の表面に半導体素子（チップ）が搭載され、その半導体素子が支持されたチップ支持基板の表面側を樹脂で封止することによって樹脂封止部が形成された構造をもつCSPが開発されている。

**【0004】**

上記のような樹脂封止型の半導体パッケージには、チップ支持基板としてテープ基板を用いたタイプと、リジット基板を用いたタイプが知られている。テープ基板を用いたタイプには、例えば、柔軟性をもつ（フレキシブルな）ポリイミドテープを使用したCSP等の半導体パッケージが知られている。一方、リジット基板を用いたタイプには、剛性をもつ（リジットな）セラミックスや樹脂基板を使用したCSP等の半導体パッケージが知られている。

**【0005】**

リジット基板又はテープ基板を用いて製造されるCSPの生産効率を向上して低コスト化を図る技術として、一括モールド法が開発されている。この一括モールド法は、複数の半導体素子（チップ）をアレイ状に配列してチップ支持基板（例えば、リジット基板）上に実装し、複数の半導体素子のチップアレイ領域を一括して樹脂で覆いモールドすることにより樹脂封止部を形成する方法であり、樹脂封止後、ダイシングを行って、樹脂封止部を形成したチップ支持基板のチップアレイ領域を分割、切断して個片化するものである。

**【0006】**

近年、リジット基板を用いた半導体パッケージは、コスト低減や半導体パッケージの薄型化の傾向にあり、リジット基板が大型化（基板全面素子化）する、あるいは薄型化する傾向にある。

**【0007】**

なお、特許文献1には、テープ基板上に支持された複数の半導体チップを樹脂で一括封止する半導体装置の製造方法において、一括封止部の反りを低減するために、キャビティ形成面に凸部を設けた樹脂封止用金型を使用することが開示されている。

【特許文献1】 特開2002-110718号公報（第7-9頁、図6）

**【発明の開示】****【発明が解決しようとする課題】****【0008】**

リジット基板の大型化、薄型化に伴い、ダイボンディング工程やワイヤボンディング工程で加えられる処理熱により、半導体パッケージのチップ支持基板に小さな反りやたわみが複数生じてしまう。次いで行われるトランスファ・モールド工程では、樹脂の流れ込みによる寄せの力で前工程で生じた反りやたわみがベント側（樹脂が流れていく方向）に押しやられて、反りやたわみがベント側に集中してしまいリジット基板が大きく反ってしまうという問題がある。また、封止後に上記の反りやたわみに対する応力により、基板上に



実装されている半導体チップがダメージを受けたり、ボンディングワイヤの変形が発生してしまうという問題がある。

【0009】

図1は、従来のリジット基板を用いた半導体装置のモールド工程を説明するための図である。図1(a)は、半導体装置の一括モールド工程における樹脂注入時の状態を示し、

図1(b)は、樹脂注入後の状態を示す。

【0010】

図1のリジット基板1は回路基板であり、ガラスエポキシ樹脂等のプリント基板、またはセラミックス基板よりなり、テープ基板とは異なり剛性をもった基板を指す。表面には半導体素子の電極との接続用の電極及び配線パターンが形成されており、裏面には外部電極接続のための電極が形成されている。

【0011】

図1のモールド工程で使用される樹脂封止用金型は、上金型2と下金型3を備え、上金型2にはキャビティ2aが形成されている。

【0012】

図1(a)の樹脂注入前に、リジット基板1が上金型2と下金型3の間に配置される。この状態のリジット基板1は、ダイボンディング、ワイヤボンディングがすでに完了しており、リジット基板1のチップ支持面には複数の半導体素子(チップ)(図示せず)が配列され、チップアレイ領域に実装され、各半導体素子の表面電極(パッド)とリジット基板1に形成された接続端子(電極)とがワイヤで接続されている。ダイボンディング工程やワイヤボンディング工程で使用される処理熱により、リジット基板1に反りが生じている場合が多い。

【0013】

図1(a)に示すように、図面右側のゲート側から上金型2のキャビティに樹脂11が注入される。

【0014】

図1(b)に示すように、注入した樹脂11により、リジット基板1のチップ支持面に搭載された複数の半導体素子(チップ)を一括して封止することにより、樹脂封止部が形成される。

【0015】

しかし、上述のように、図1のモールド工程では、樹脂の流れ込みによる寄せの力で前工程で生じた反りやたわみがベント側(樹脂が流れていく方向)に押しやられて、ベント側で基板が金型により押え付けられ固定されるため、反りやたわみがベント側に集中してリジット基板1が大きく反ってしまうという問題がある。図1(b)において、9はリジット基板1が大きく反り、リジット基板上の半導体素子に接続されたワイヤに変形が発生した箇所を示す。

【0016】

一方、テープ基板を用いた半導体パッケージでは、テープ基板自体に柔軟性があり、図1(b)に示したようなワイヤ変形の問題は生じないが、リジット基板に比較して高価であり、近年の基板の大型化やコスト低減の要求を十分満足できないという問題がある。

【0017】

本発明は、上記問題点に鑑みてなされたものであり、リジット基板を用いた樹脂封止型の半導体装置の製造方法において、リジット基板や樹脂封止用金型の改良により、樹脂封止後のリジット基板の変形及び樹脂封止時における前記半導体素子やワイヤの変形を低減することを目的とする。

【課題を解決するための手段】

【0018】

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分の基板端部の板厚を他の部分の板厚より薄く

する工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを含むことを特徴とする。

#### 【0019】

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分の基板端部に対向する下金型に切欠き部を設ける工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを含むことを特徴とする。

#### 【0020】

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分の基板裏面にカバーフィルムを貼る工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを有することを特徴とする。

#### 【0021】

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分に対向する下金型にリリースフィルムを貼る工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを含むことを特徴とする。

#### 【0022】

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれない部分に対向する下金型にリリースフィルムを貼る工程と、前記リジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分近傍の基板表面にスリットを設ける工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを含むことを特徴とする。

上記課題を解決するため、本発明の半導体装置の製造方法は、表面に1又は複数個の半導体素子を支持するリジット基板を樹脂封止用金型内に配置する工程と、前記樹脂封止用金型の上金型と前記リジット基板のベント側との間に隙間ができるように第1のクランプ圧を設定することにより前記樹脂封止用金型で前記リジット基板をクランプする工程と、前記樹脂封止用金型のキャビティに樹脂を注入する工程と、樹脂注入後に、前記第1のクランプ圧より大きな第2のクランプ圧を設定して前記上金型で前記リジット基板を押圧する工程と、前記注入した樹脂により、前記リジット基板の前記表面に支持された前記半導体素子を樹脂封止する工程とを含むことを特徴とする。

#### 【発明の効果】

#### 【0023】

本発明の半導体装置の製造方法によれば、一括モールド工程において発生するリジット基板の反りやたわみ等の変形を低減することができる。また、リジット基板の反り及びたわみを低減することにより、半導体素子のワイヤ変形等の発生を防止することができる。さらに、樹脂封止後の半導体パッケージの反りやたわみの残留応力を低減して、内部の半導体素子に損傷を与えることを防止することができる。

#### 【発明を実施するための最良の形態】

#### 【0024】

以下、本発明の第1の実施形態について図面に基づいて詳細に説明する。

#### 【0025】

図2は、本発明に係るリジット基板の構成を示す。

【0026】

図2に示すように、リジット基板1は略矩形状であり、ゲート側端部5と、ベント側端部4と、複数の半導体素子（チップ）を支持するチップ支持面と、チップ支持面と反対側の電極搭載面とを有する。

【0027】

図2のリジット基板1は、ダイボンディング工程、ワイヤボンディング工程がすでに行われており、リジット基板1のチップ支持面には複数の半導体素子（チップ）が配列され、チップアレイ領域1a、1bに実装され、各半導体素子の表面電極（パッド）とリジット基板1に形成された接続端子（電極）とがワイヤで接続されている（図示せず）。

【0028】

リジット基板1のチップ支持面は中央で左右に分割され、チップアレイ領域1a、1bとして形成されている。チップアレイ領域1a、1bにはそれぞれ、6×8個の半導体集積回路が形成された半導体素子（チップ）がアレイ状に配列され、実装されている。

【0029】

図2のリジット基板1は、一括モールド工程を行って、これらチップアレイ領域1a、1bの複数の半導体素子が一括して樹脂で封止されることにより、樹脂封止部が形成される。樹脂封止後、ダイシング工程を行って、樹脂封止部が形成されたリジット基板1のチップアレイ領域1a、1bが、ダイシングライン12、13に沿って分割、切断されることにより個片化される。

【0030】

また、一括モールド工程前に、図2のリジット基板1を樹脂封止用金型の上金型と下金型の間に配置して、リジット基板1は、チップ支持面のゲート側端部5とベント側端部4において樹脂封止用金型によりクランプされる。その際に、リジット基板1は矩形状のリジット基板1の上辺と下辺の端部である、ゲート側端部5とベント側端部4においてクランプされる共に、リジット基板1の左辺、中央、右辺の端部であるベント側端部4においてもクランプされる。

【0031】

図3は、本発明の一実施例に係るリジット基板1の構成例を示す。

【0032】

図3（a）乃至（d）に示した構成例では、リジット基板1は、ゲート側端部5と、ベント側端部4と、1又は複数個の半導体素子（チップ）を支持するチップ支持面（表面）と、チップ支持面と反対側の電極搭載面（裏面）とを有し、ベント側端部4におけるリジット基板1の板厚がベント側端部4以外の板厚より小さくなるようにベント側端部4の電極搭載面側に形成したソルダレジスト除去部7a乃至7d（切欠き部）を備える。ソルダレジスト除去部は、リジット基板1のベント側端部4の電極搭載面側のソルダレジストを全部又は部分的に除去することにより形成される。後述するように、本実施例のリジット基板1においては、このソルダレジスト除去部が、樹脂封止後のリジット基板1の変形及び樹脂封止時における半導体素子の変形を低減する働きをする。

【0033】

図3（a）の構成例において、ソルダレジスト除去部7aは、矩形状のリジット基板1の下辺の端部である、ベント側端部4の電極搭載面側のソルダレジストを全部除去することにより、形成される。

【0034】

図3（b）の構成例において、ソルダレジスト除去部7bは、矩形状のリジット基板1の下辺の端部である、ベント側端部4の電極搭載面側のソルダレジストを部分的に除去することにより、形成される。

【0035】

図3（c）の構成例において、ソルダレジスト除去部7cは、矩形状のリジット基板1の上辺の端部であるゲート側端部5以外の端部4の電極搭載面側のソルダレジストを全部

除去することにより、形成される。すなわち、ソルダレジスト除去部 7c は、矩形状のリジット基板 1 の下辺、左辺、中央、右辺の端部であるベント側端部 4 の電極搭載面側のソルダレジストを全部除去することにより、形成される。

#### 【0036】

図 3 (d) の構成例において、ソルダレジスト除去部 7d は、矩形状のリジット基板 1 の上辺の端部であるゲート側端部 5 以外の端部 4 の電極搭載面側のソルダレジストを全部又は部分的に除去することにより、形成されている。すなわち、ソルダレジスト除去部 7d は、矩形状のリジット基板 1 の下辺の端部であるベント側端部 4 の電極搭載面側のソルダレジストを全部除去し、リジット基板 1 の左辺、中央、右辺の端部であるベント側端部 4 の電極搭載面側のソルダレジストを部分的に除去することにより、形成される。

#### 【0037】

図 3 に示したリジット基板 1 の各構成例では、リジット基板 1 裏面のゲート側端部 5 以外のソルダレジストデザインを変更することで、モールド工程における半導体素子の変形を防止することができる。また、樹脂封止後のリジット基板 1 の反りやたわみ等の原因となる残留応力を低減することができる。

#### 【0038】

図 4 は、図 3 (a) のリジット基板を用いた半導体装置のモールド工程を説明するための図である。

#### 【0039】

図 4 (a) に示すように、本実施例のリジット基板 1 を樹脂封止用金型の上金型 2 及び下金型 3 間に配置して、リジット基板 1 のベント側端部 4 における電極搭載面と下金型 3 との間に、リジット基板 1 の切欠き部 7 に対応する空隙部が形成されている。

#### 【0040】

次に、図 4 (b) に示すように、樹脂封止用金型の上金型 2 のキャビティ 2a にゲート側 (図面右側) より樹脂 11 を注入する。注入した樹脂 11 により、リジット基板 1 のチップ支持面に支持された半導体素子を封止する樹脂封止部 11 を形成する。

#### 【0041】

図 4 の一括モールド工程では、リジット基板 1 の裏面のベント側端部 4 のソルダレジストを除去又は薄化して、部分的に基板厚を薄くすることにより、基板ベント側端部 4 と下金型 3 との間に空隙 (ソルダレジスト除去部 7) が形成される。これにより、上金型 2 と下金型 3 によるリジット基板 1 の締め付けがゆるくなるため、樹脂注入時の上金型方向に生じるリジット基板 1 の反り・たわみ等の原因となる応力を基板ベント側に解放して、従来のワイヤ変形を防ぐことができる。また、樹脂封止後の半導体パッケージの反りやたわみの原因となる残留応力を低減して、内部の半導体素子 (チップ) の変形や損傷を防止することができる。

#### 【0042】

図 5 は、本発明の第 2 の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

#### 【0043】

図 5 (a) に示すように、下金型 3 のベント側の所定の箇所に切欠き部 8 を形成した樹脂封止用金型を準備する。本実施例のリジット基板 1 には、第 1 実施例のようなソルダレジスタ除去部は設けられていない。このリジット基板 1 を樹脂封止用金型の上金型 2 及び下金型 3 間に配置して、リジット基板 1 のベント側端部 4 における電極搭載面と下金型 3 との間に、下金型 3 の切欠き部 8 に対応する空隙部が形成される。

#### 【0044】

次に、図 5 (b) に示すように、樹脂封止用金型の上金型 2 のキャビティ 2a にゲート側 (図面右側) より樹脂 11 を注入する。注入した樹脂 11 により、リジット基板 1 のチップ支持面に支持された半導体素子を封止する樹脂封止部 11 を形成する。

#### 【0045】

図 5 の一括モールド工程では、下金型 3 のベント側を彫り込んで部分的に、リジット基

板 1 のベント側と下金型 3 との間に空隙部が生じる。これにより上金型 2 と下金型 3 によるリジット基板 1 の締め付けがゆるくなることによって、樹脂注入時の上金型 2 方向に生じるリジット基板 1 の反り・たわみ等の原因となる圧力を基板ベント側に解放してワイヤ変形を防ぐことができる。また、樹脂封止後の半導体パッケージの反りやたわみの原因となる残留応力を低減して、内部の半導体素子（チップ）の変形や損傷を防止することができる。

【0046】

図 6 は、本発明の第 3 の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【0047】

図 6（a）に示すように、本実施例のリジット基板 1 には、ベント側端部 4 におけるリジット基板 1 の板厚がベント側端部 4 以外の板厚より小さくなるように、前記ベント側端部 4 以外の電極搭載面にカバーフィルム 22 が接着されている。

【0048】

図 6（a）に示すように、リジット基板 1 を樹脂封止用金型の上金型 2 及び下金型 3 間に配置して、リジット基板 1 のベント側端部 4 における電極搭載面と下金型 3 との間に、カバーフィルム 22 を接着しない部分に対応する空隙部 22a が形成される。

【0049】

次に、図 6（b）に示すように、樹脂封止用金型の上金型 2 のキャビティ 2a にゲート側（図面右側）より樹脂 11 を注入する。注入した樹脂 11 により、リジット基板 1 のチップ支持面に支持された半導体素子を封止する樹脂封止部 11 を形成する。

【0050】

図 6 の一括モールド工程では、リジット基板 1 の裏面のベント側端部 4 以外にカバーフィルム 22 を貼り、部分的に総厚（カバーフィルムの厚さ＋基板厚）を薄くすることによって、リジット基板 1 の裏面のベント側端部 4 と下金型 3 との間に空隙部 22a を形成する。これにより上金型 2 と下金型 3 によるリジット基板 1 の締め付けがゆるくなるため、樹脂注入時の上金型 2 方向に生じるリジット基板 1 の反り・たわみ等の原因となる圧力を基板ベント側に解放してワイヤ変形を防ぐことができる。また、樹脂封止後の半導体パッケージの反りやたわみの原因となる残留応力を低減して、内部の半導体素子（チップ）の変形や損傷を防止することができる。

【0051】

図 7 は、本発明の第 4 の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【0052】

図 7（a）に示すように、リジット基板 1 のベント側端部 4 における電極搭載面側に空隙部が形成されるように、樹脂封止用金型の下金型 3 のベント側以外にリリースフィルム 20 を接着する。リジット基板 1 を樹脂封止用金型の上金型 2 及び下金型 3 間に配置して、リジット基板 1 と下金型 3 との間に、下金型 3 のリリースフィルム 20 を接着していない部分に対応する空隙部が形成される。

【0053】

次に、図 7（b）に示すように、樹脂封止用金型の上金型 2 のキャビティ 2a に樹脂 11 を注入する。注入した樹脂 11 により、リジット基板 1 のチップ支持面に支持された半導体素子を封止する樹脂封止部 11 を形成する。

【0054】

図 7 の一括モールド工程では、リリースフィルム 20 を基板ベント側以外に敷き、部分的に総厚（リリースフィルムの厚さ＋基板厚）を薄くすることによって、リジット基板 1 の裏面のベント側端部 4 と下金型 3 との間に空隙部を形成する。これにより上金型 2 と下金型 3 によるリジット基板 1 の締め付けがゆるくなり、樹脂注入時の上金型 2 方向に生じるリジット基板 1 の反り・たわみ等の原因となる圧力を基板ベント側に解放してワイヤ変形を防ぐことができる。また、樹脂封止後の半導体パッケージの反りやたわみの原因となる

残留応力を低減して、内部の半導体素子（チップ）の変形や損傷を防止することができる。

【0055】

図8は、本発明の第5の実施例に係るリジット基板の構成を示す。

【0056】

図8に示すように、リジット基板1は、ベント側端部4の近傍に形成したスリット21は、リジット基板1を樹脂封止用金型内に配置したとき、樹脂封止用金型のキャビティ内で、樹脂封止部に向かって開口するように配置される。スリット21は、樹脂注入時の上金型方向に生じる基板の反りやたわみの原因となる注入樹脂の圧力を低減する働きをもつ。

【0057】

従って、スリット21は、樹脂封止後のリジット基板1の変形及び樹脂封止時における半導体素子の変形を低減する機能を有する。

図9は、図8のリジット基板を用いた半導体装置の一括モールド工程を説明するための図である。図9（a）は半導体装置の一括モールド工程における樹脂注入前の状態を示し、図9（b）は樹脂注入後の状態を示す。

【0058】

図9を用いて、本実施例に係る半導体装置の製造方法を説明する。

【0059】

図9のモールド工程で使用される樹脂封止用金型は、上金型2と下金型3を備え、上金型2にはキャビティ2aが形成されている。

まず、図9（a）に示すように、リジット基板1を上金型2と下金型3の間に配置する。

【0060】

この状態において、スリット21は、リジット基板1のチップ支持面（表面）側で上金型2のキャビティ2aに向かって開口している。リジット基板1の電極搭載面（裏面）側で閉鎖されるように下金型3にリリースフィルム20を接着する。

【0061】

次に、図9（b）に示すように、ゲート側から上金型2のキャビティ2a内にゲート側（図面右側）より樹脂11を注入する。注入した樹脂11により、リジット基板1のチップ支持面に支持された複数の半導体素子を一括封止する樹脂封止部が形成される。

【0062】

図8のリジット基板1を用いた半導体装置の一括モールド工程によれば、樹脂注入時の上金型2方向に生じる基板の反りやたわみの原因となる注入樹脂の圧力を、ベント側端部4の近傍に形成したスリット21で低減することにより、半導体素子の変形を防止することができる。また、樹脂封止後のリジット基板の反りやたわみ等の原因となる残留応力を低減して、内部の半導体素子の変形や損傷を防止することができる。また、スリット21から漏れて基板裏面に回り込もうとする樹脂を下金型3に貼り付けたリリースフィルム20によって防止することができる。

【0063】

図10は、本発明の第6の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【0064】

図10（c）は半導体装置の一括モールド工程における樹脂注入前の状態を示し、図10（d）は樹脂注入時の状態を示し、図10（e）は樹脂注入後の状態を示す。図10（a）は、樹脂注入前又は樹脂注入時におけるリジット基板1のベント側端部4の、図10（c）の文字A、又は図10（d）の文字Bで示した箇所の拡大図であり、図10（b）は、樹脂注入後におけるリジット基板1のベント側端部4の、図10（e）の文字Cに示した箇所の拡大図である。

【0065】

図10のモールド工程は、トランスファー・モールド装置（図示なし）を用いて行われ

る。このトランスファー・モールド装置は、樹脂封止用金型として上金型 2 と下金型 3 を備え、上金型 2 にはキャビティ 2 a が形成されており、リジット基板 1 を上金型 2 と下金型 3 の間で基板をクランプする際のクランプ圧を調整する制御ユニットを備えている。

【0066】

リジット基板 1 は、ゲート側端部 5 と、ベント側端部 4 と、複数の半導体素子（チップ）を支持するチップ支持面（表面）と、チップ支持面と反対側の電極搭載面（裏面）を有する。

【0067】

まず、図 10（c）に示すように、リジット基板 1 を上金型 2 と下金型 3 の間に配置する。この状態のリジット基板 1 は、ダイボンディング、ワイヤボンディングがすでに完了しており、リジット基板 1 のチップ支持面には複数の半導体素子（チップ）が配列され、チップアレイ領域に実装され、各半導体素子の表面電極（パッド）とリジット基板 1 に形成された接続端子（電極）とがワイヤで接続されている。

【0068】

次に、トランスファー・モールド装置において、上金型 2 と、リジット基板 1 のベント側端部 4 におけるチップ支持面とが、後段の工程である樹脂注入により離間可能となるように十分小さな第 1 のクランプ圧を設定することにより、上金型 2 と下金型 3 でリジット基板 1 をソフトクランプする。図 10（a）に示すように、上金型 2 とリジット基板 1 は接触しているか、又はわずかに離間する状態になるので、上金型 2 方向に生じる基板の反りやたわみの原因となる注入樹脂の力を、基板ベント側端部 4 に向かって低減することが可能とする。

【0069】

次に、図 10（d）に示すように、ゲート側から上金型 2 のキャビティ 2 a 内に樹脂 11 を注入する。

【0070】

樹脂 11 の注入が終了すると、図 10（b）及び（e）に示すように、トランスファー・モールド装置において、第 1 のクランプ圧より大きな第 2 のクランプ圧を設定して、リジット基板 1 を本クランプする。上金型 2 でリジット基板 1 のベント側端部 4 におけるチップ支持面が押圧される。

【0071】

注入した樹脂 11 により、リジット基板 1 のチップ支持面に支持された半導体素子を封止する樹脂封止部が形成される。

【0072】

従来のモールド工程では、樹脂封止用金型内で基板を本クランプしてから樹脂注入を行うために、基板の反りやたわみ等の変形が生じ、半導体素子のワイヤ変形が発生しやすいという問題があった。

【0073】

図 10 の半導体装置のモールド工程では、樹脂注入時から樹脂注入後までの間で基板クランプ圧を時間的にコントロールする。樹脂注入時には樹脂封止用金型内でリジット基板 1 をソフトクランプして、上金型 2 方向に生じる基板の反りやたわみの原因となる注入樹脂の力を、基板ベント側端部 4 に向かって低減することにより、半導体素子の変形を防止することができる。

【0074】

また、図 10 の半導体装置のモールド工程では、樹脂注入の終了と同時に、本クランプを行うことにより、基板ベント側端部 4 における樹脂漏れを防ぐことができる。また、樹脂封止後のリジット基板の反りやたわみ等の原因となる残留応力を低減して、内部の半導体素子の変形や損傷を防止することができる。

【図面の簡単な説明】

【0075】

【図 1】従来のリジット基板を用いた半導体装置のモールド工程を説明するための図

である。

【図 2】本発明に係るリジット基板の構成を示す図である。

【図 3】本発明の一実施例に係るリジット基板の構成を示す図である。

【図 4】図 3 (a) のリジット基板を用いた半導体装置の製造方法におけるモールド工程を説明するための図である。

【図 5】本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【図 6】本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【図 7】本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【図 8】本発明の他の実施例に係るリジット基板の構成を示す図である。

【図 9】図 8 のリジット基板を用いた半導体装置の製造方法におけるモールド工程を説明するための図である。

【図 10】本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図である。

【符号の説明】

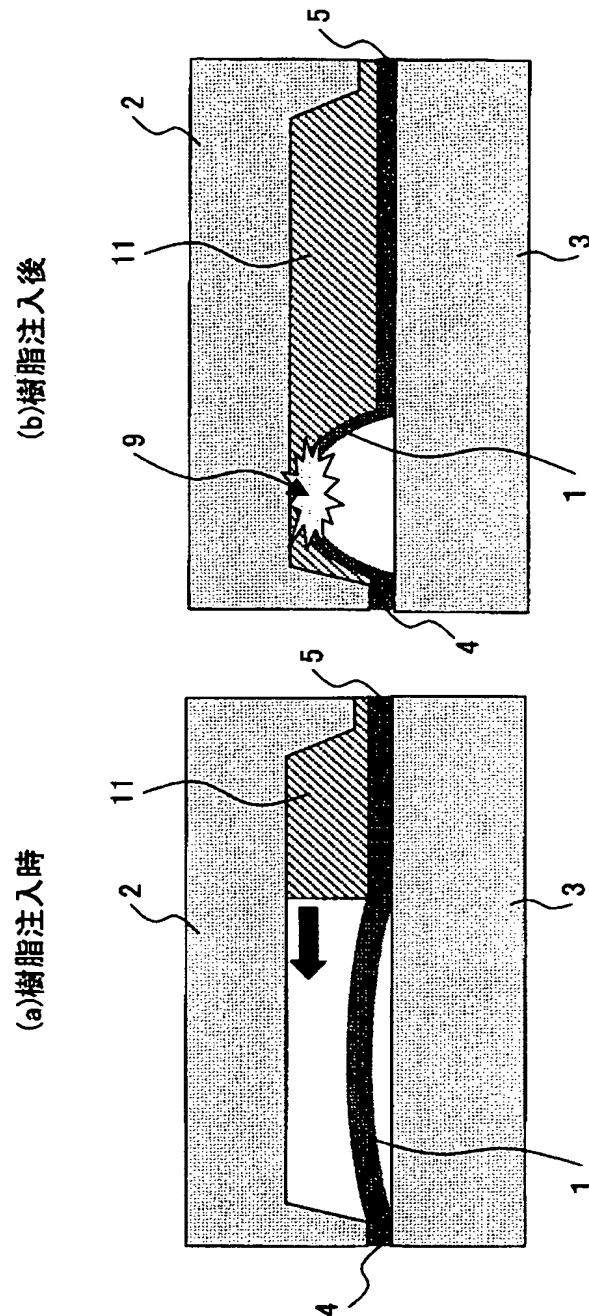
【0076】

- 1 リジット基板
- 1 a、1 b チップアレイ領域
- 2 上金型
- 2 a キャビティ
- 3 下金型
- 4 基板ベント側端部
- 5 基板ゲート側端部
- 7、7 a、7 b、7 c、7 d ソルダレジスト除去部
- 8 下金型形状変更部
- 9 ワイヤ変形
- 11 樹脂
- 12 ダイシングライン
- 13 ダイシングライン
- 20 リリースフィルム
- 21 スリット
- 22 カバーフィルム



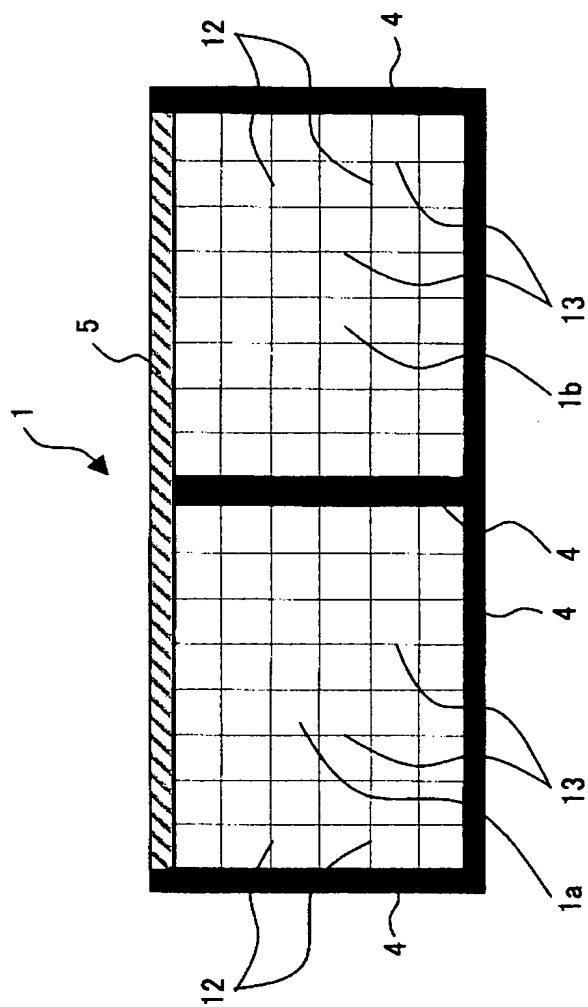
【書類名】 図面  
【図 1】

従来のリジット基板を用いた半導体装置のモールド工程を説明するための図



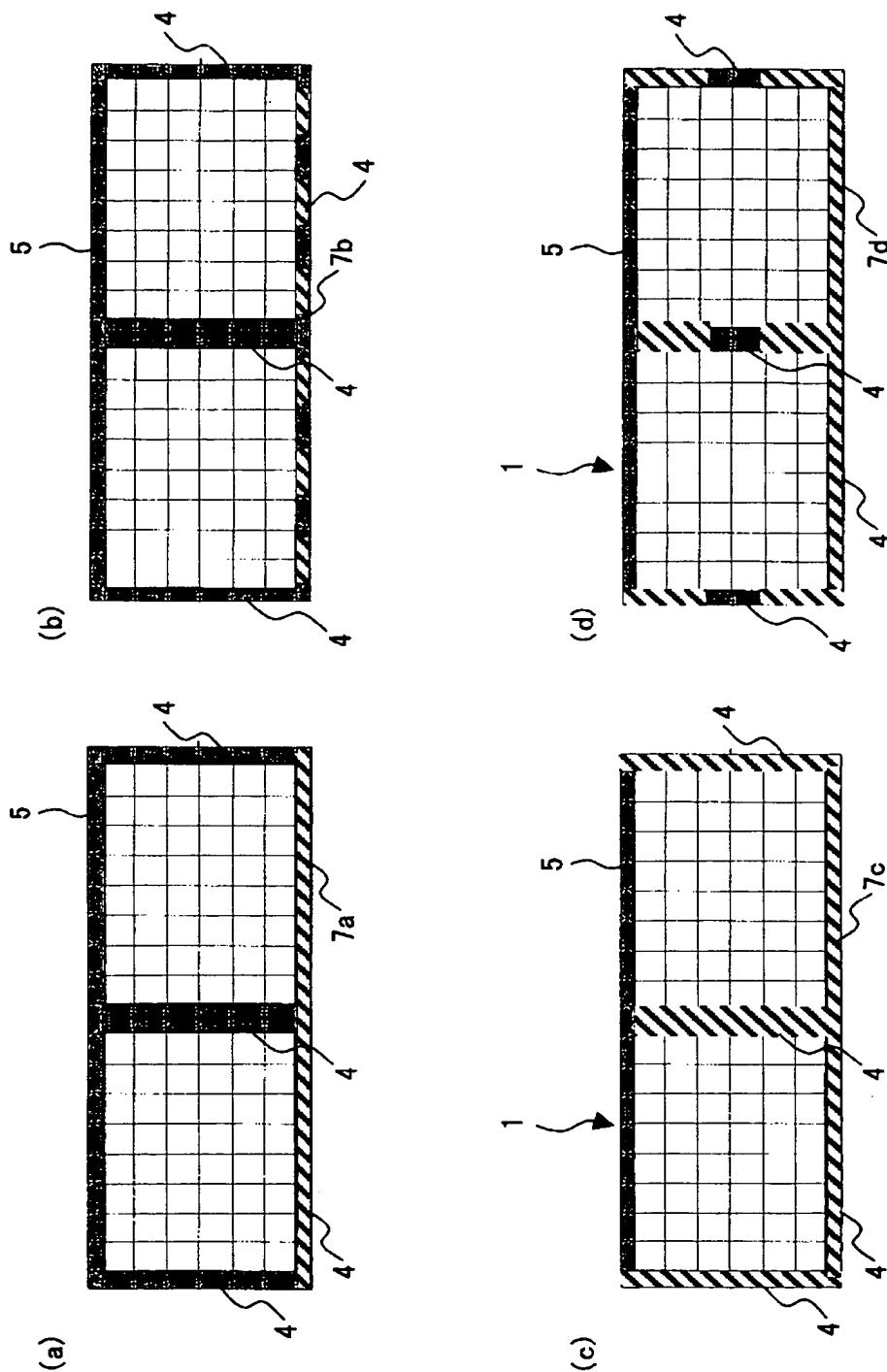
【図 2】

本発明に係るリジット基板の構成図



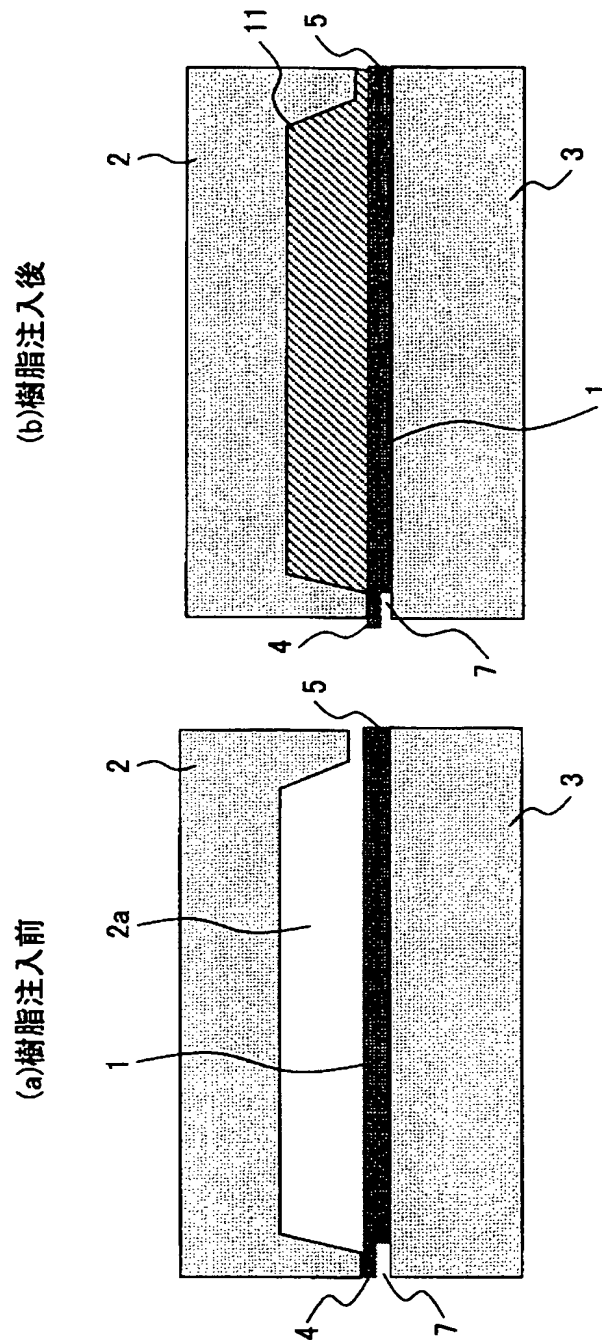
【図 3】

本発明の一実施例に係るリジット基板の構成図



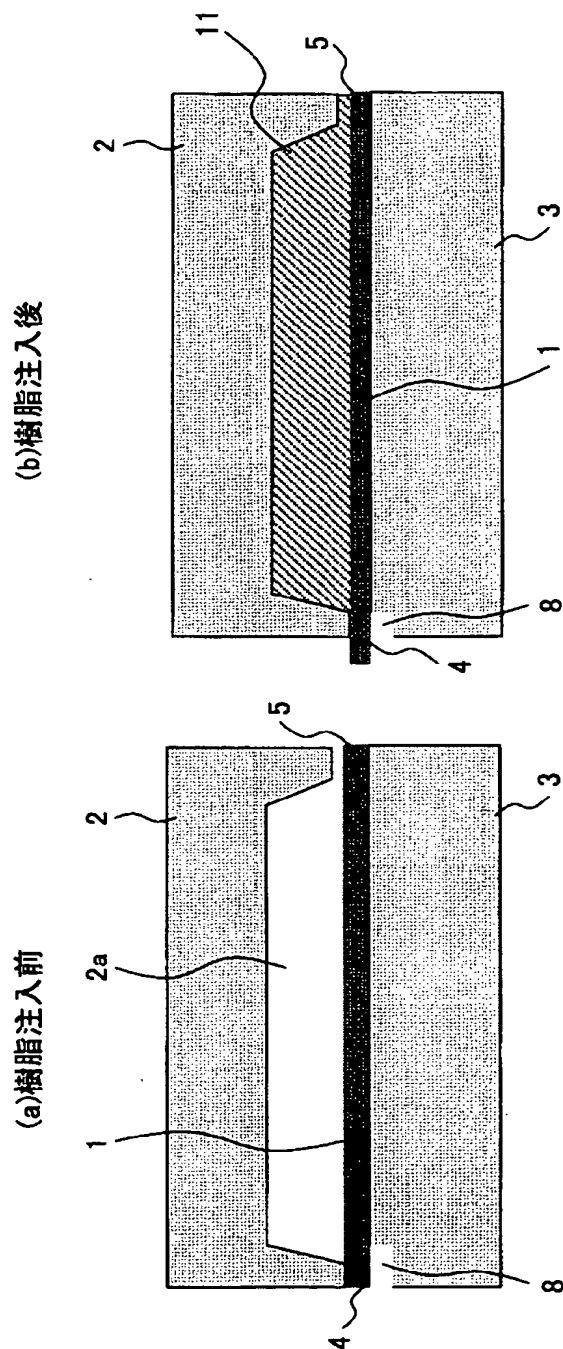
【図 4】

図3(a)のリジット基板を用いた半導体装置の製造方法におけるモールド工程を説明するための図



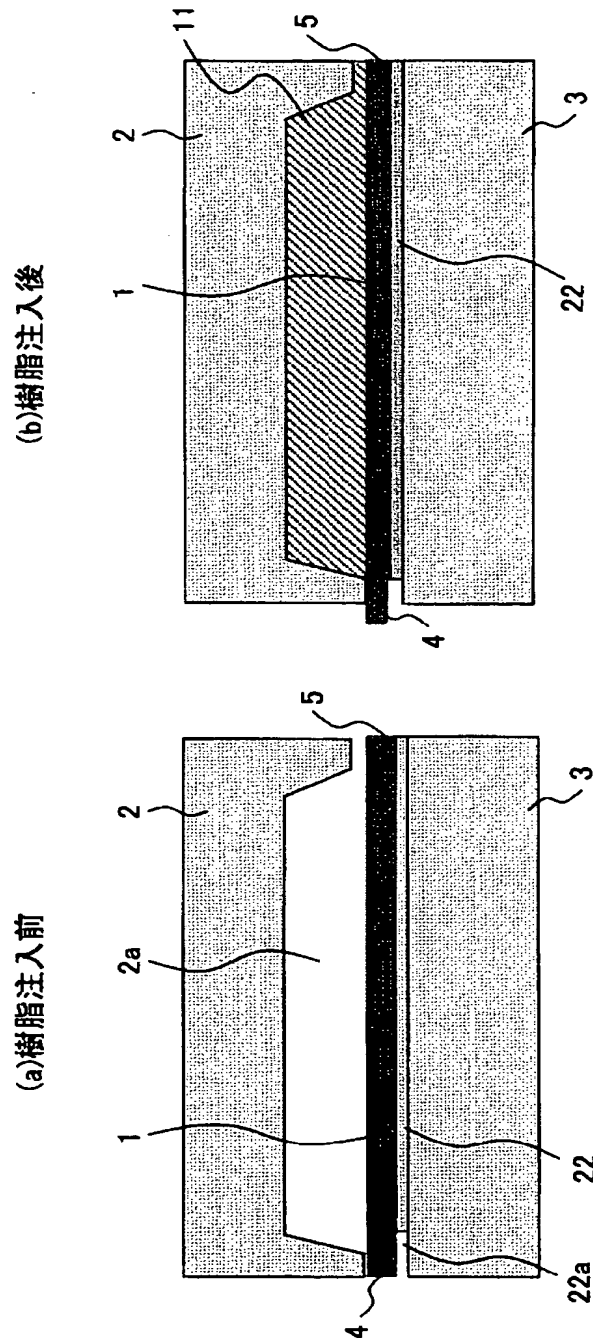
【図 5】

本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図



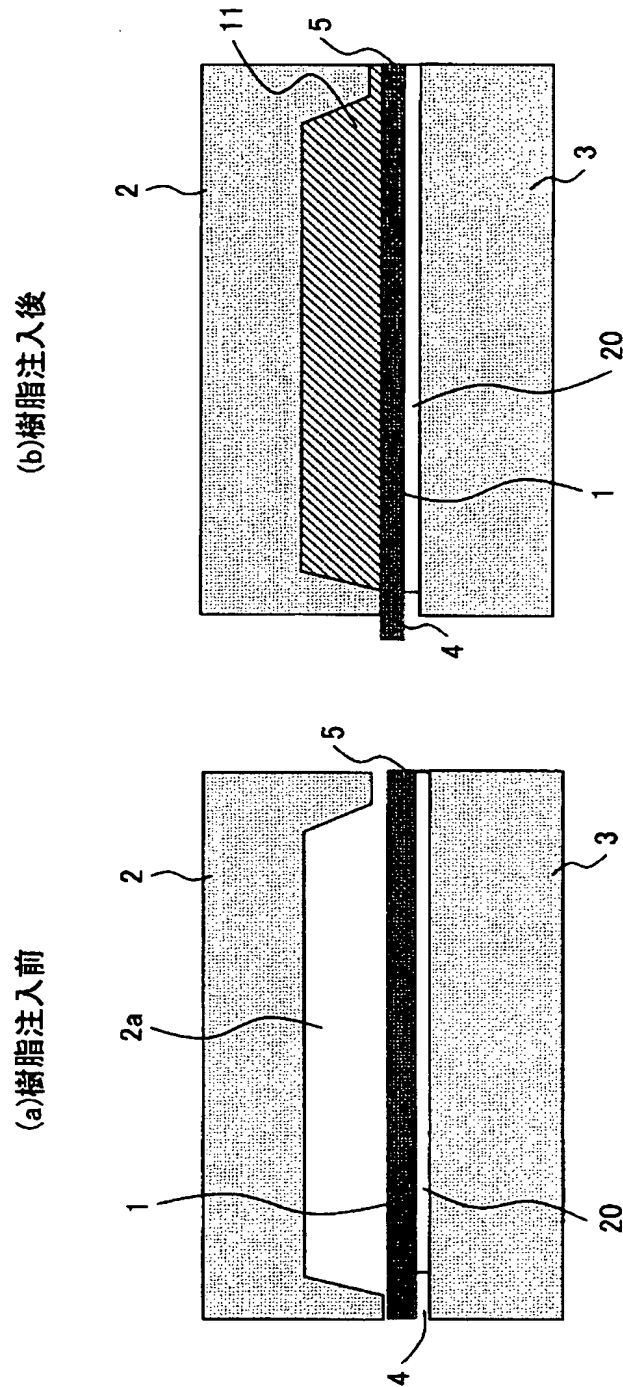
【図 6】

本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図



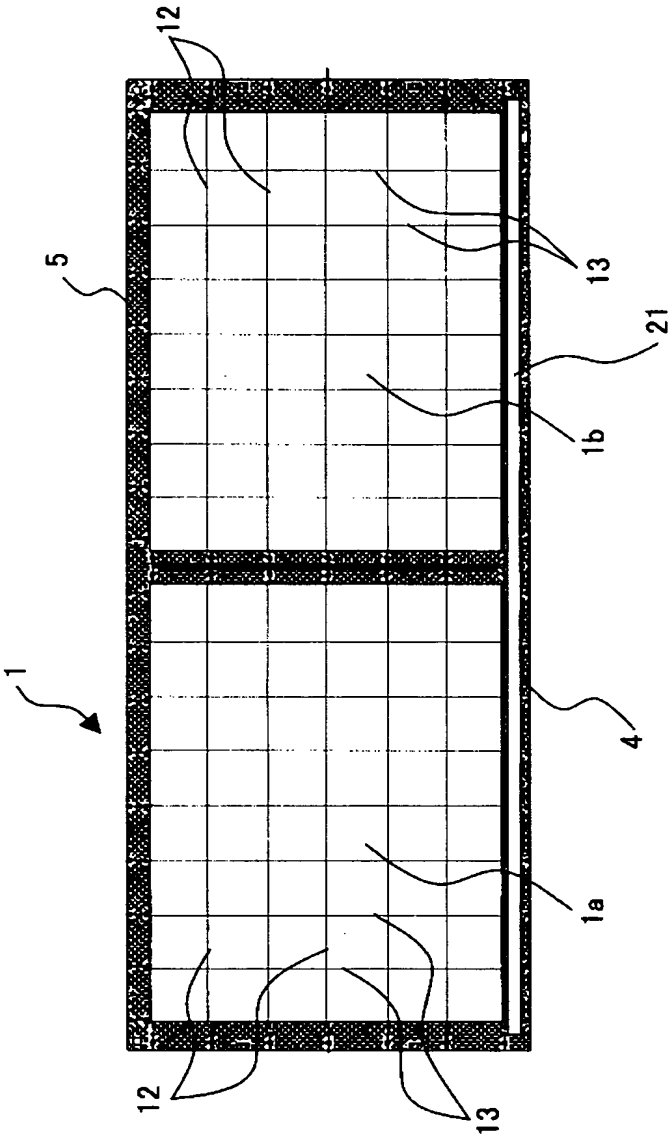
【図 7】

本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図



【図 8】

本発明の他の実施例に係るリジット基板の構成図

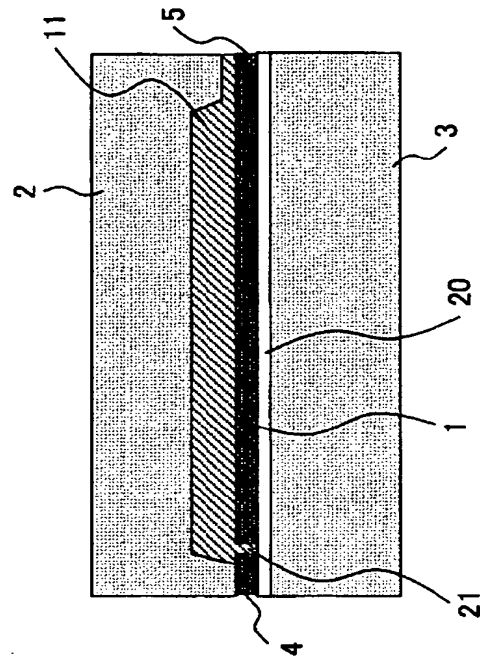




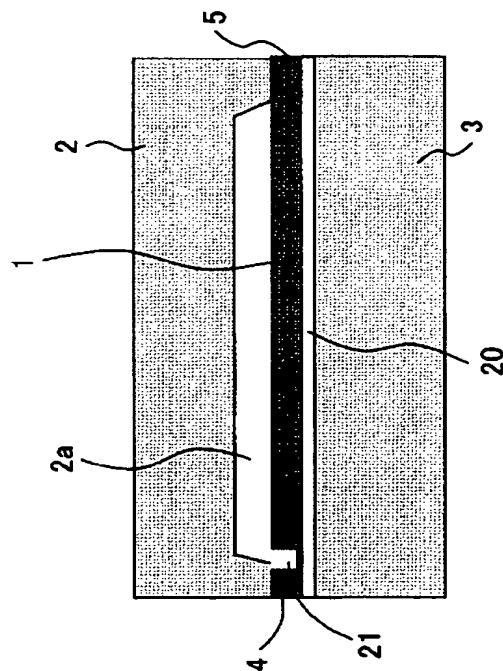
【図 9】

図8のリジット基板を用いた半導体装置の製造方法におけるモールド工程を説明するための図

(b)樹脂注入後

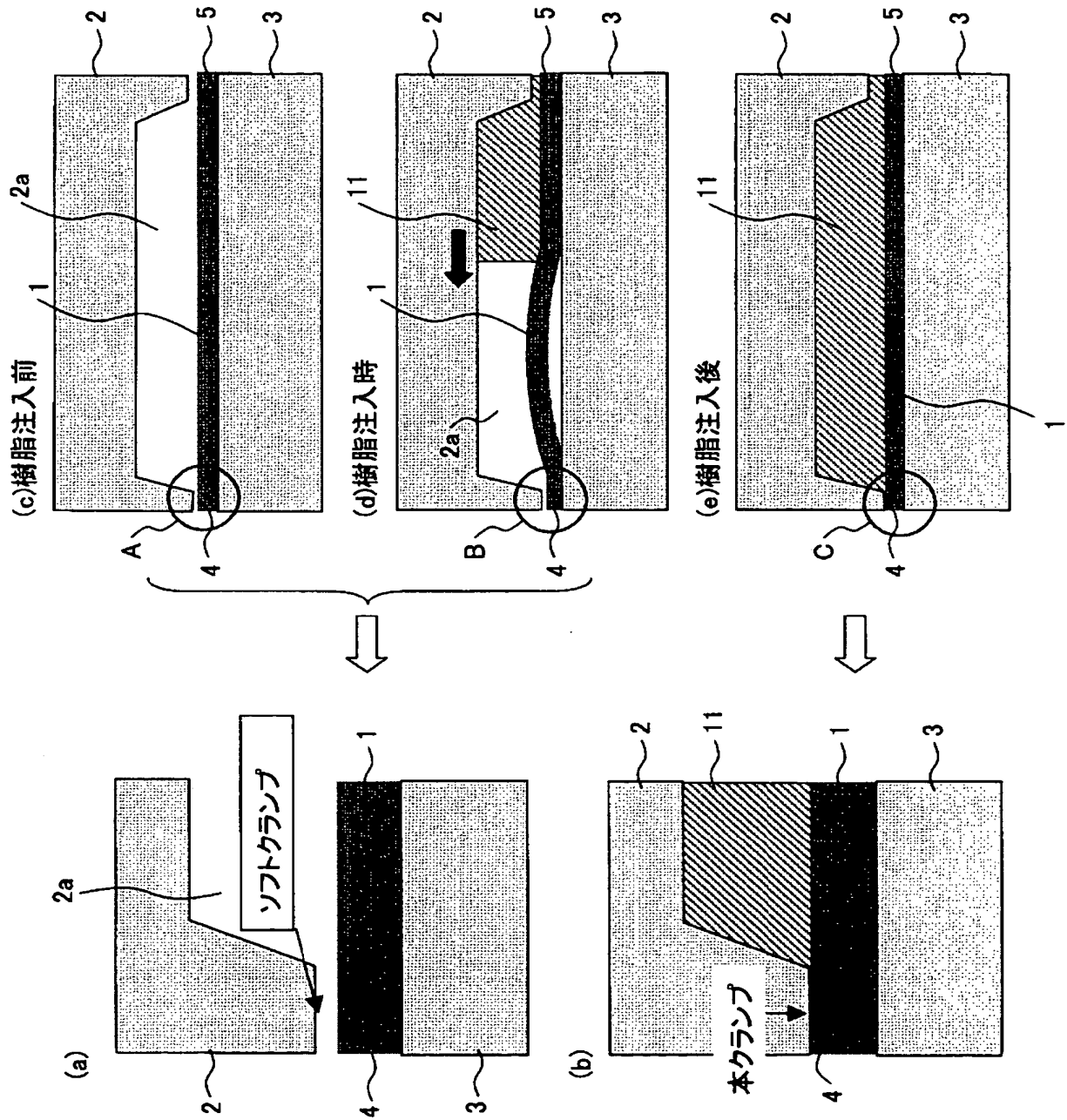


(a)樹脂注入前



【図 10】

本発明の他の実施例に係る半導体装置の製造方法におけるモールド工程を説明するための図



**【書類名】 要約書****【要約】**

**【課題】** リジット基板を用いた樹脂封止型の半導体装置の製造方法において、リジット基板や樹脂封止用金型の改良により、樹脂封止後のリジット基板の変形及び樹脂封止時における前記半導体素子の変形を低減する。

**【解決手段】** 半導体装置の製造方法が、表面に 1 又は複数個の半導体素子を支持するリジット基板を樹脂封止するための金型へ配置した際に金型のベント側で上金型と下金型により挟み込まれる部分の基板端部の板厚を他の部分の板厚より薄くする工程と、前記リジット基板を金型に配置する工程と、前記金型の上金型と前記リジット基板との間に樹脂を流し込み前記半導体素子を樹脂封止する工程とを含む。

**【選択図】** 図 4

特願 2 0 0 3 - 3 3 8 1 4 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社